




BURST SYNCHRONIZATION CIRCUIT

Patent number: JP2000031951
Publication date: 2000-01-28
Inventor: HIROTA MASAKI; KUSAYANAGI MICHIO
Applicant: FUJITSU LTD
Classification:
- **international:** H04L7/02; H04L7/08; H04L7/10; H04L25/40
- **european:** H04L7/04B1
Application number: JP19980200032 19980715
Priority number(s): JP19980200032 19980715

Also published as:

 EP0973289 (A2)
 US6567484 (B1)
 EP0973289 (A3)

Report a data error here

Abstract of JP2000031951

PROBLEM TO BE SOLVED: To provide a burst synchronization circuit high in reliability and capable of selecting an optimum sampling phase by detecting both side edges of a 1-bit pulse without using an alternate pattern for burst synchronization in the case of matching a phase of a burst received data signal with a sampling phase of the received data signal and selecting an optimum sampling phase even on the occurrence of a bit error. **SOLUTION:** This burst synchronization circuit is provided with a data sampling section 11 that samples received data at pluralities of sampling phases whose phase difference is shorter than a one-bit period, a pattern detection section 12 that detects a prescribed pattern from the sampled data, a selection signal generating section 13 that selects an optimum sampling phase from the pattern detection result for each sampling phase, and a selector 14 that selects the sampled data at an optimum phase by the selection signal and provides an output of the selected data.

Data supplied from the **esp@cenet** database - Worldwide

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-31951
(P2000-31951A)

(43) 公開日 平成12年1月28日 (2000.1.28)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 4 L	7/02	H 0 4 L	7/02 Z 5 K 0 2 9
	7/08		7/08 Z 5 K 0 4 7
	7/10		7/10
	25/40		25/40 C

審査請求 未請求 請求項の数12 O L (全 24 頁)

(21) 出願番号 特願平10-200032

(22) 出願日 平成10年7月15日 (1998.7.15)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 廣田 正樹

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 草柳 道夫

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100072833

弁理士 柏谷 昭司 (外2名)

最終頁に続く

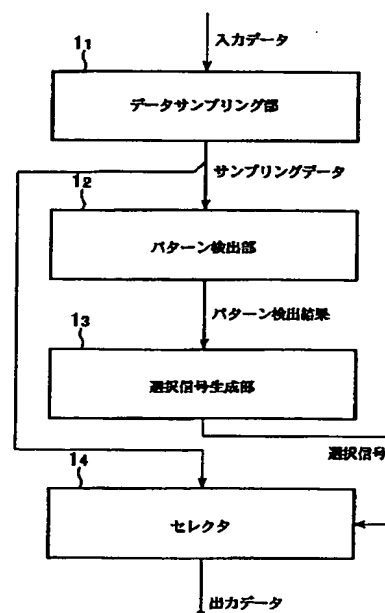
(54) 【発明の名称】 バースト同期回路

(57) 【要約】

【課題】 バースト状の受信データ信号とその受信データ信号のサンプリング位相とを合わせるバースト同期回路に関し、バースト同期用の交番パターンを用いることなく、1ビットパルスの両側エッジを検出して最適サンプリング位相を選択し、又、ビット誤りが発生しても最適サンプリング位相を選択する信頼性の高いバースト同期回路を提供する。

【解決手段】 入力データを1ビット周期よりも短い位相差を有する複数のサンプリング位相でサンプリングするデータサンプリング部1₁と、そのサンプリングデータから所定のパターンを検出するパターン検出部1₂、各サンプリング位相毎のパターン検出結果から最適なサンプリング位相を選択する選択信号生成部1₃と、その選択信号により最適な位相でサンプリングされたサンプリングデータを選択して出力するセレクト1₄とを備えている。

本発明のバースト同期回路の基本構成を示す図



【特許請求の範囲】

【請求項1】 バースト状の受信データ信号とその受信データ信号のサンプリング位相とを合わせるバースト同期回路において、

前記受信データ信号をその1ビット周期よりも短い時間間隔で順次遅延させ、これら位相の異なる受信データ信号を前記1ビット周期のクロック信号によりサンプリングするデータサンプリング部と、

前記位相の異なる受信データ信号毎のサンプリングの結果から、前記バースト状の受信データ信号中に含まれるデータパターンを検出する各サンプリング位相毎のパターン検出部と、

前記各サンプリング位相毎のパターン検出部の検出結果に基づき、データパターンが検出される複数のサンプリング位相のうちの略中央のサンプリング位相でサンプリングされた受信データ信号を選択するための選択信号を生成する選択信号生成部とを備えたことを特徴とするバースト同期回路。

【請求項2】 バースト状の受信データ信号とその受信データ信号のサンプリング位相とを合わせるバースト同期回路において、

前記受信データ信号をサンプリングする1ビット周期のクロック信号を、該1ビット周期よりも短い時間間隔で順次遅延させ、これら位相の異なるクロック信号により前記受信データ信号をサンプリングするデータサンプリング部と、

前記位相の異なるクロック信号によりサンプリングされた受信データ信号毎のサンプリング結果から、前記バースト状の受信データ信号中に含まれるデータパターンを検出する各サンプリング位相毎のパターン検出部と、

前記各サンプリング位相毎のパターン検出部の検出結果に基づき、データパターンが検出される複数のサンプリング位相のうちの略中央のサンプリング位相でサンプリングされた受信データ信号を選択するための選択信号を生成する選択信号生成部とを備えたことを特徴とするバースト同期回路。

【請求項3】 バースト状の受信データ信号とその受信データ信号のサンプリング位相とを合わせるバースト同期回路において、

前記受信データ信号を、1ビット周期よりも短い時間間隔の高速クロック信号によりサンプリングし、サンプリング位相の異なる1ビット周期のサンプリングデータを生成するデータサンプリング部と、

前記位相の異なるクロック信号によりサンプリングされた受信データ信号毎のサンプリング結果から、前記バースト状の受信データ信号中に含まれるデータパターンを検出する各サンプリング位相毎のパターン検出部と、

前記各サンプリング位相毎のパターン検出部の検出結果に基づき、データパターンが検出される複数のサンプリング位相のうちの略中央のサンプリング位相でサンプリ

ングされた受信データ信号を選択するための選択信号を生成する選択信号生成部とを備えたことを特徴とするバースト同期回路。

【請求項4】 バースト状の受信データ信号とその受信データ信号のサンプリング位相とを合わせるバースト同期回路において、

前記受信データ信号を、1ビット周期よりも短い時間間隔の位相差を有する多相クロック信号によりサンプリングし、サンプリング位相の異なる1ビット周期のサンプリングデータを生成するデータサンプリング部と、

前記位相の異なるクロック信号によりサンプリングされた受信データ信号毎のサンプリング結果から、前記バースト状の受信データ信号中に含まれるデータパターンを検出する各サンプリング位相毎のパターン検出部と、

前記各サンプリング位相毎のパターン検出部の検出結果に基づき、データパターンが検出される複数のサンプリング位相のうちの略中央のサンプリング位相でサンプリングされた受信データ信号を選択するための選択信号を生成する選択信号生成部とを備えたことを特徴とするバースト同期回路。

【請求項5】 前記パターン検出部は、該パターン検出部へ入力されるサンプリングデータと予め記憶されたパターンデータとを照合し、パターン検出フラグ信号を出力するメモリ装置を備えたことを特徴とする請求項1乃至4いずれか1項記載のバースト同期回路。

【請求項6】 前記パターン検出部のメモリ装置は、所定のビット数以下のビット誤りを含む複数のパターンデータを予め記憶し、これら複数のパターンデータと前記サンプリングデータとを照合することを特徴とする請求項5記載のバースト同期回路。

【請求項7】 前記パターン検出部は、該パターン検出部へ入力されるサンプリングデータ信号の論理積によりパターン検出フラグ信号を出力する論理積回路を備えたことを特徴とする請求項1乃至4いずれか1項記載のバースト同期回路。

【請求項8】 前記パターン検出部は、該パターン検出部へ入力される所定のビット数以下のビット誤りを含むサンプリングデータ信号の論理積によりパターン検出フラグ信号を出力する複数の論理積回路を備えたことを特徴とする請求項7記載のバースト同期回路。

【請求項9】 前記パターン検出部は、該パターン検出部へ入力された過去のサンプリングデータから演算により所定のパターンデータを検出し、パターン検出フラグ信号を出力する構成を備えたことを特徴とする請求項1乃至4いずれか1項記載のバースト同期回路。

【請求項10】 前記選択信号生成部は、サンプリング位相毎のパターン検出フラグ信号のデータパターン対応に、サンプリング位相の選択信号を予め記憶したメモリ装置を備えたことを特徴とする請求項1乃至9いずれか1項記載のバースト同期回路。

【請求項11】 前記選択信号生成部は、サンプリング位相毎のパターン検出フラグ信号のデータパターン対応に、サンプリング位相の選択信号を出力する論理回路を備えたことを特徴とする請求項1乃至9いずれか1項記載のバースト同期回路。

【請求項12】 前記パターン検出部は、前記データパターンの検出によりバイト単位の位相を合わせるパターン同期を同時に行うことを特徴とする請求項1乃至11いずれか1項記載のバースト同期回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、バースト状の受信データ信号とその受信データ信号のサンプリング位相とを合わせるバースト同期回路に関し、光加入者伝送システム等において、ひとかたまりの連続信号としてバースト状に伝送されるデータ信号を受信する際に、受信信号のビット位置の安定領域に同期したサンプルクロックにより、受信データ信号をサンプリングするバースト同期回路に関する。

【0002】

【従来の技術】図20は、バースト状のデータ信号が伝送されるシステムの一例の光加入者伝送システムを示す図である。光加入者伝送システムは、主局20、と複数の光加入者対応の従局20、(#1~#n)との間を、光ファイバ20、及び光カブラ20、により接続される。

【0003】主局20、は、各従局20、(#1~#n)宛の下り伝送方向のデータ信号を連続的に送信し、該下り伝送方向のデータ信号は光カブラ20、で分岐されて、各従局20、(#1~#n)に放送形式で一斉に伝送される。各従局20、(#1~#n)は、下り伝送方向のデータ信号の中の自局アドレス信号を認識し、自局アドレス信号のデータ信号のみを取り込む。

【0004】一方、各従局20、(#1~#n)が主局20、に上り伝送方向のデータ信号を伝送する場合、他の従局からの上り伝送方向のデータ信号と衝突しないようなタイミングでデータ信号をバースト的に送信する。

【0005】この場合、下り伝送方向のデータ信号は連続的に伝送されるため、各従局20、(#1~#n)では、PLL(Phase Locked Loop)回路等を用いて受信データ信号のリタイミングを行うことができる。

【0006】これに対し、上り伝送方向のデータ信号が連続的な信号ではなくバースト的な信号であり、又、各従局20、(#1~#n)を接続する光ファイバ20、の長さは、各従局20、(#1~#n)との距離に応じて大きく異なるため、主局20、に到達するバースト信号のビット位置の位相及び光信号レベルは、従局20、(#1~#n)毎によって異なる。

【0007】このため、主局20、は、バーストデータ

信号が受信される毎に短時間に、その先頭部分に付加されたプリアンプル信号等により、バーストデータ信号を適正なビット位相で取り込むためのサンプリング最適位相を選択し、そのリタイミングを行わなければならない。

【0008】図21は主局20、のバースト信号受信部の構成を示す図である。図に示すように、光ファイバ20、から受信される光バースト信号を光モジュール21、により電気信号に変換し、バースト同期回路21、により受信信号のデータビットを前述したような最適な位相で取り込むためのリタイミングを行う。

【0009】一般に、バースト状のデータ信号は、その先頭部分に前述のプリアンプル信号のほかにバースト信号全体の位相を識別するためのフレーム同期用データパターンであるデリミタパターン信号が付加される。デリミタ同期回路21、はデリミタパターン信号によりデリミタ同期を行う。データ処理部21、は、デリミタ同期後のデータ信号を基に受信データの処理を行う。

【0010】図22は光モジュール21、の出力信号

(バースト同期回路21、の入力信号)の波形を示す図である。光モジュール21、の出力信号は、内部の光増幅器の特性や信号体雑音比の劣化等により、パルス幅に変動を生じる。即ち、1タイムスロットのパルス幅(1ビットの周期)Tは、その両端部の立ち上がり部及び立ち下がり部に、図の網掛け部分に示すようにエッジ不確定領域 τ が存在し、このエッジ不確定領域 τ 以外の区間がサンプリングを行うことができる有効なパルス幅であり、このパルス幅の変動をどれだけ許容することができるかが、バースト同期回路の性能を示す一つの指標である。

【0011】図23は従来のバースト同期回路21、の構成を示す図である。電気信号に変換された光ファイバからの入力データ信号は、データサンプリング部23、により、1ビットの周期で複数の異なる位相でサンプリングされ、データサンプリング部23、は順番にサンプリング位相がずれた入力データ信号のサンプリングデータを出力する。

【0012】エッジ検出部23、は、データサンプリング部23、から出力され、サンプリング位相が隣合ったサンプリングデータ同士を比較することにより、データの変化(データビット波形の立ち上がり又は立ち下がり)を生じるサンプリング位相を検出する。そして、このエッジ検出部23、の検出結果をもとに、選択信号生成部23、は、最適な位相でサンプリングされるサンプリングデータを選択する選択信号を生成してセレクタ23、に出力し、セレクタ23、は該選択信号により、最適な位相でサンプリングされるサンプリングデータを選択して出力する。

【0013】データサンプリング部23、において、入力データ信号を1ビットの周期で複数の異なる位相でサ

ンプリングし、順番に位相がずれたサンプリングデータを出力する手段は、入力データ信号を1ビット周期よりも短い時間間隔で順次遅延させてシステムクロック（入力データ信号の1ビット周期のクロック）でサンプリングする方式や、該システムクロックよりも高速のクロックにより入力データ信号をサンプリングする方式、或いは該システムクロックを1ビット周期よりも短い時間間隔で順次遅延させて多相クロックを生成し、該多相クロックにより入力データ信号をサンプリングする方式等がある。

【0014】又、エッジ検出部23において、データの変化を生じるサンプリング位相を検出する手段は、位相の異なる複数のサンプリングデータからエッジパターンデコーダにより、信号の立ち上がり又は立ち下りのいずれか一方のみを検出する片側エッジ検出方式や、信号の立ち上がり及び立ち下りの両方を検出する両側エッジ検出方式、或いは複数のビット位置にわたってエッジの位置を検出しその平均位置等を検出する多点エッジ検出方式等が用いられる。

【0015】片側エッジ検出方式は、入力データ信号のうちの或るビット（“0”から“1”即ちローレベルからハイレベルへ変化したビット又は“1”から“0”即ちハイレベルからローレベルへ変化したビット）の片側のエッジの位相を検出し、その検出されたエッジの位相位置から、エッジ不確定領域の区間を経過する所定のタイミング後のサンプルクロックによりサンプリングされるサンプリングデータを選択する方式である。

【0016】両側エッジ検出方式は、入力データ信号のうちの或るビット（“0”と“1”即ちローレベルとハイレベルとが1ビット毎に交番するビット）の両側のエッジの位相を検出し、その検出された両側のエッジの位相位置の略中間に位置するサンプルクロックによりサンプリングされるサンプリングデータを選択する方式である。

【0017】図24は両側エッジ検出により最適位相のサンプリングデータを選択する動作の説明図である。同図は、値が“0”“1”“0”のデータ信号24₁が順次入力され、「↑」で示すサンプルクロック（#1～#14）により、データ信号24₁がサンプリングされる様子を示している。

【0018】同図に示すように、サンプルクロック#1～#3では“0”のサンプリング値が得られ、サンプルクロック#4～#10では“1”のサンプリング値が得られ、サンプルクロック#11～#14では“0”のサンプリング値が得られる。

【0019】そして、隣合ったサンプリング値の一致不一致を照合することにより、サンプルクロック#3と#4との間及びサンプルクロック#10と#11との間にエッジが存在することと検出し、それらの両側エッジの略中央の位相にあるサンプルクロック#7によりサンプリ

ングしたデータを選択する。これら従来のバースト同期回路は、特開平9-83500号公報等に詳述されている。

【0020】

【発明が解決しようとする課題】片側エッジ検出による最適位相のサンプリングデータ選択手段は、エッジ検出のための固有のデータパターンを伝送する必要はないが、パルスの片側のエッジから常に一定のタイミング後のサンプルクロックが選択されることとなり、パルスのもう一方のエッジの位相変動を反映していないため、許容パルス幅変動量が少ないという欠点がある。

【0021】両側エッジ検出による最適位相のサンプリングデータ選択手段は、片側エッジ検出方式に比べ、パルスの両側のエッジの位相変動に合わせてサンプリング位相を選択するので、許容パルス幅変動量が多くなるが、1パルスの両側のエッジを検出するためには、“010”又は“101”のパターンのデータ信号を伝送する必要がある。

【0022】通常のバースト伝送では、バースト信号の先頭に付加されるプリアンプに“1”と“0”の交番パターンを用い、このプリアンプのパターンデータにより両側エッジの位相検出を行うのが一般的であるが、この交番パターンにビット誤りが発生したときには、1ビットの両側のエッジを検出することができず、複数ビットにわたるパルスの両側のエッジを検出してしまい、最適位相のサンプリングデータを選択することができないという問題がある。

【0023】前述の片側エッジ検出方式や両側エッジ検出方式のように、1度のエッジ検出の結果により最適位相のサンプリングデータを選択する方式では、例えば信号対雑音比の劣化等により、もとなるデータ信号に許容量以上のパルス幅変動が生じた場合に、不適当な位相のサンプリングデータを選択してしまうという問題がある。

【0024】それに対し、多点エッジ検出による最適位相のサンプリングデータ選択手段は、入力データ信号のうち複数のビットのエッジを検出するため、多少のビット誤りの影響を低減することができ、片側エッジ検出方式、両側エッジ検出方式に比べ、許容パルス幅変動量を大きくすることができるが、複数のデータビットを取り込む必要があるため、最適位相のサンプリングデータを選択するのに長時間を要する欠点がある。

【0025】本発明は、ビット単位のバースト同期用の交番パターンを用いることなく、両側エッジ検出方式と同程度の許容パルス幅変動量を有するバースト同期回路を提供することを目的とし、又、ビット誤りが発生しても最適位相のサンプリングデータを短時間で選択することができる信頼性の高いバースト同期回路を提供することを目的とする。

【0026】

【課題を解決するための手段】本発明のバースト同期回路は、(1)バースト状の受信データ信号とその受信データ信号のサンプリング位相とを合わせるバースト同期回路において、前記受信データ信号をその1ビット周期よりも短い時間間隔で順次遅延させ、これら位相の異なる受信データ信号を前記1ビット周期のクロック信号によりサンプリングするデータサンプリング部と、前記位相の異なる受信データ信号毎のサンプリングの結果から、前記バースト状の受信データ信号中に含まれるデータパターンを検出する各サンプリング位相毎のパターン検出部と、前記各サンプリング位相毎のパターン検出部の検出結果に基づき、データパターンが検出される複数のサンプリング位相のうちの略中央のサンプリング位相でサンプリングされた受信データ信号を選択するための選択信号を生成する選択信号生成部とを備えたものである。

【0027】このように、位相の異なる受信データ信号毎のサンプリングの結果から、受信データ信号中に含まれるデータパターンを検出し、その検出結果に基づき、最適位相のサンプリングデータを選択することにより、ビット単位のバースト同期用の交番パターンを用いることなく、従来の両側エッジ検出方式と同程度の許容パルス幅変動量を有するバースト同期回路を構成することができる。

【0028】又、(2)バースト状の受信データ信号とその受信データ信号のサンプリング位相とを合わせるバースト同期回路において、前記受信データ信号をサンプリングする1ビット周期のクロック信号を、該1ビット周期よりも短い時間間隔で順次遅延させ、これら位相の異なるクロック信号により前記受信データ信号をサンプリングするデータサンプリング部と、前記位相の異なるクロック信号によりサンプリングされた受信データ信号毎のサンプリング結果から、前記バースト状の受信データ信号中に含まれるデータパターンを検出する各サンプリング位相毎のパターン検出部と、前記各サンプリング位相毎のパターン検出部の検出結果に基づき、データパターンが検出される複数のサンプリング位相のうちの略中央のサンプリング位相でサンプリングされた受信データ信号を選択するための選択信号を生成する選択信号生成部とを備えたものである。

【0029】又、(3)バースト状の受信データ信号とその受信データ信号のサンプリング位相とを合わせるバースト同期回路において、前記受信データ信号を、1ビット周期よりも短い時間間隔の高速クロック信号によりサンプリングし、サンプリング位相の異なる1ビット周期のサンプリングデータを生成するデータサンプリング部と、前記位相の異なるクロック信号によりサンプリングされた受信データ信号毎のサンプリング結果から、前記バースト状の受信データ信号中に含まれるデータパターンを検出する各サンプリング位相毎のパターン検出部

と、前記各サンプリング位相毎のパターン検出部の検出結果に基づき、データパターンが検出される複数のサンプリング位相のうちの略中央のサンプリング位相でサンプリングされた受信データ信号を選択するための選択信号を生成する選択信号生成部とを備えたものである。

【0030】又、(4)バースト状の受信データ信号とその受信データ信号のサンプリング位相とを合わせるバースト同期回路において、前記受信データ信号を、1ビット周期よりも短い時間間隔の位相差を有する多相クロック信号によりサンプリングし、サンプリング位相の異なる1ビット周期のサンプリングデータを生成するデータサンプリング部と、前記位相の異なるクロック信号によりサンプリングされた受信データ信号毎のサンプリング結果から、前記バースト状の受信データ信号中に含まれるデータパターンを検出する各サンプリング位相毎のパターン検出部と、前記各サンプリング位相毎のパターン検出部の検出結果に基づき、データパターンが検出される複数のサンプリング位相のうちの略中央のサンプリング位相でサンプリングされた受信データ信号を選択するための選択信号を生成する選択信号生成部とを備えたものである。

【0031】このように、位相の異なるクロック信号を用いてサンプリングした受信データ信号のサンプリングの結果から、受信データ信号中に含まれるデータパターンを検出し、その検出結果に基づき、最適位相のサンプリングデータを選択することにより、ビット単位のバースト同期用の交番パターンを用いることなく、従来の両側エッジ検出方式と同程度の許容パルス幅変動量を有するバースト同期回路を構成することができる。

【0032】又、(5)前記パターン検出部は、該パターン検出部へ入力されるサンプリングデータと予め記憶されたパターンデータとを照合し、パターン検出フラグ信号を出力するメモリ装置を備えたものである。このように、パターン検出部は、メモリ装置により簡易に構成することができる。

【0033】又、(6)前記パターン検出部のメモリ装置は、所定のビット数以下のビット誤りを含む複数のパターンデータを予め記憶し、これら複数のパターンデータと前記サンプリングデータとを照合するものである。

したがって、ビット誤りが発生しても最適位相のサンプリングデータを、主にパターンデータの検出のみの時間で短時間に選択することができる。

【0034】又、(7)前記パターン検出部は、該パターン検出部へ入力されるサンプリングデータ信号の論理積によりパターン検出フラグ信号を出力する論理積回路を備えたものである。パターン検出部を論理回路を用いて構成することにより、高速にパターンデータを検出することができる。

【0035】又、(8)前記パターン検出部は、該パターン検出部へ入力される所定のビット数以下のビット誤

りを含むサンプリングデータ信号の論理積によりパターン検出フラグ信号を出力する複数の論理積回路を備えたものである。このように、ビット誤りを含むパターン検出部を論理回路を用いて構成することにより、ビット誤りを含むパターンデータを高速に検出することができる。

【0036】又、(9)前記パターン検出部は、該パターン検出部へ入力された過去のサンプリングデータから演算により所定のパターンデータを検出し、パターン検出フラグ信号を出力する構成を備えたものである。この構成により、ATMセルヘッダのHECのデータをパターンデータとして用い、バースト同期を行うことができる。

【0037】又、(10)前記選択信号生成部は、サンプリング位相毎のパターン検出フラグ信号のデータパターン対応に、サンプリング位相の選択信号を予め記憶したメモリ装置を備えたものである。このように、選択信号生成部は、メモリ装置により簡易に構成することができる。

【0038】又、(11)前記選択信号生成部は、サンプリング位相毎のパターン検出フラグ信号のデータパターン対応に、サンプリング位相の選択信号を出力する論理回路を備えたものである。選択信号生成部を論理回路を用いて構成することにより、選択信号の生成を高速に行うことができる。

【0039】又、(12)前記パターン検出部は、前記データパターンの検出によりバイト単位の位相を合わせるパターン同期を同時に行うものである。このように、データパターンの検出により、ビット単位のバースト同期とともに、バイト単位のデリミタ同期(フレーム同期)又はATMセルのセル同期を行うことができる。

【0040】

【発明の実施の形態】バースト状のデータ信号は、前述したように、バースト信号のフレーム全体の位相を識別するためのフレーム同期用データパターンであるデリミタパターン信号を有する。又、ATMセルヘッダのHEC(Header Error Control:ヘッダ誤り制御)フィールドのデータのように、既に伝送されたデータ信号から演算することにより求められる所定のデータパターン信号を有する場合もある。

【0041】本発明のバースト同期回路は、このような所定のデータパターン信号を、複数の異なるサンプリング位相によりサンプリングし、該所定のデータパターンが検出されたサンプリング位相をもとに、最適位相のサンプリングデータを選択するものである。

【0042】図1は本発明の実施の形態のバースト同期回路の基本構成を示す図である。同図において、1₁はデータサンプリング部、1₂はパターン検出部、1₃は選択信号生成部、1₄はセレクトアである。

【0043】データサンプリング部1₁は、従来のバースト同期回路のデータサンプリング部と同様に、高速ク

ロックや多相クロック、又は遅延素子等を用いて入力データ信号を、1ビット幅よりも細かい位相差を有する複数のサンプリング位相で1ビット周期でサンプリングし、そのサンプリングデータをパターン検出部1₂及びセレクトア1₄に出力する。

【0044】パターン検出部1₂は、それぞれの位相でサンプリングされた各サンプリングデータ値から、所定のパターンに一致するサンプリングデータの検出を行い、そのパターン検出結果を選択信号生成部1₃に出力する。

【0045】選択信号生成部1₃は、パターン検出部1₂からのパターン検出結果から、最適な位相でサンプリングされたサンプリングデータを選択するための選択信号を生成し、その選択信号をセレクトア1₄に出力する。

【0046】セレクトア1₄は、選択信号生成部1₃からの選択信号をもとに、データサンプリング部1₁から出力された、サンプリング位相の異なる複数のサンプリングデータのなかから、最適な位相でサンプリングされたサンプリングデータを選択する。

【0047】このようなパターン検出による本発明のバースト同期回路の動作原理について以下図2乃至図8を参照して説明する。なお、ここでバースト信号は、7ビットのプリアンプルPR1~PR7及び9ビットのデリミタDL1~DL9が付加され、その後ろにペイロードデータPL1, PL2, PL3...が続いているものとする。そして、バースト同期回路で検出するパターン信号はデリミタパターンとする。

【0048】図2乃至図4は、バーストデータ信号とサンプリング位相とデリミタパターン検出結果の関係を示す図である。これらの図において、2₁はバーストデータ信号の波形、2₂は各サンプリング位相の番号、2₃は各サンプリング位相毎のデリミタパターン検出結果、2₄はそれぞれ位相の異なる1ビット周期のサンプルクロックを「↑」により示している。

【0049】前述したように本発明の実施の形態のバースト同期回路は、高速クロックや多相クロック又は遅延素子等を用いてバーストデータ信号を1ビット幅よりも細かい位相差でサンプリングし、各サンプリング位相毎に、そのサンプリングデータをもとに所定のデリミタパターンと一致するデータパターンの検出を行う。

【0050】なお、図に示した本発明の実施の形態では、各サンプリングの位相差は、1ビット幅の8分の1としている。即ち、1ビットのデータは、8個の位相の異なるサンプルクロックによりサンプリングされる。

【0051】図2乃至図4の左側に示したサンプリング位相2₂の#1~#16は、それぞれデリミタパターン検出に係るサンプルクロックの位相、即ちサンプリング位相を示している。そして、それぞれのサンプリング位

相の9個のサンプルクロック「↑」により、バーストデータ信号がサンプリングされ、その9個のサンプリングデータから各サンプリング位相毎にデリミタパターンが検出が行われ、そのデリミタパターン検出結果2、が、各サンプリング位相毎にパターン検出フラグ信号“1”又は“0”により示されている。

【0052】デリミタパターン検出結果2、のパターン検出フラグ信号“1”は、デリミタパターンが検出されることを表し、パターン検出フラグ信号“0”はデリミタパターンが検出されないことを表し、“1 or 0”は

10 デリミタパターンが検出される場合も検出されない場合もあることを表している。

【0053】図2は、デリミタパターンが位置する前後1ビットの領域のサンプリングデータから9ビットのサンプリングデータ切り出した場合の、各サンプリング位相毎のデリミタパターンの検出結果を示している。

【0054】同図に示すように、デリミタパターンが確実に検出される位相選択領域に、9個のサンプルクロックが存在するサンプリング位相（#6～#10）では必ずデリミタパターンが検出され、各ビットのエッジ付近にサンプルクロックが存在するエッジ不確定領域でのサンプリング位相（#3～#5及び#11～#13）では、エッジの位置が保証されないため、デリミタパターンが検出されるかどうかは不定であり、デリミタパターンの前側1ビットのプリアンプルPR7からデリミタDL8まで、及びデリミタパターンの後ろ側1ビットのデリミタDL2からペイロードPL1までの領域のサンプリング位相（#1、#2及び#14～#16）ではデリミタパターンは検出されない。

【0055】図3は、デリミタパターンの1ビット手前の前後1ビットの領域のサンプリングデータから9個のサンプリングデータ切り出した場合の、各サンプリング位相毎のデリミタパターンの検出結果を図2と同様に示している。

【0056】この場合、前述のサンプリング位相（#6～#10）の位相選択領域は、デリミタパターンから1ビット手前のプリアンプルPR7からデリミタDL8までの9ビットに対してサンプリングを行うため、この領域のサンプリング位相ではデリミタパターンが検出されない。

【0057】エッジ不確定領域の位相でのサンプリング結果は不定であるため、この領域のサンプリング位相（#3～#5及び#11～#13）ではデリミタパターンが検出される可能性と検出されない可能性とがある。

【0058】又、前側1ビットのプリアンプルPR6からデリミタDL7までの領域のサンプリング位相（#1、#2）は、デリミタパターンは検出されず、後ろ側1ビットのデリミタDL1からデリミタDL9までの領域のサンプリング位相ではデリミタパターンが検出される。

【0059】図4は、デリミタパターンの3ビット手前の前後1ビットの領域のサンプリングデータから9ビットのサンプリングデータを切り出した場合の、各サンプリング位相毎のデリミタパターンの検出結果を図2と同様に示している。

【0060】この場合、エッジ不確定領域のサンプリング位相（#3～#5及び#11～#13）では、同様にサンプリング結果は不定であるためデリミタパターンが検出される可能性があるが、そのほかのサンプリング位相（#1、#2及び#14～#16）では、デリミタパターンは検出されない。

【0061】なお、デリミタパターンが存在するビット位置のサンプリング位相のみによりデリミタパターンが検出され、他のビット位置のサンプリング位相によってはデリミタパターンが検出されないようにするためには、プリアンプル、デリミタ及びペイロード1ビット目（デリミタの直後の1ビット）までの領域のうち、デリミタパターン長（9ビット）ずつ切り出した場合、デリミタの位置のみでデリミタパターンが検出されるようにパターンデータを設定する必要がある。

【0062】図2～図4に示されるように、複数の異なるサンプリング位相によりデリミタパターンを検出すると、デリミタパターンが存在するサンプリング位相でのみ、パターン検出フラグ“1”が出力され、その他のサンプリング位相ではパターン検出フラグ“0”が出力される。

【0063】したがって、複数の異なるサンプリング位相によるパターン検出の検出結果（パターン検出フラグ）を、サンプリング位相順に並べると、両側エッジ検出を行った場合と同様の結果が得られる。そのため、パターン検出による両側エッジ検出を行い、従来の両側エッジ検出方式の原理を応用して最適位相のサンプリングデータを選択することができる。そこで、従来の両側エッジ検出方式について改めて図5を用いて説明する。

【0064】両側エッジ検出方式は、“1”と“0”とが交番するデータ信号の1タイムスロット（1ビット）のバース信号の両側のエッジを検出し、その両側のエッジから略中央に位置する位相をサンプリング位相として選択する。

40 【0065】この時、図5の（A）に示す1タイムスロットに対する位相選択領域（データ信号が確実にサンプリングされる位相の選択領域）とエッジ不確定領域の配分は、1ビットバースの両側のエッジが、所定以上の間隔を置いたエッジ不確定領域内に存在するかぎり、両側エッジの略中央の位相が位相選択領域内に位置するように設計される。

【0066】したがって、両側エッジ検出方式を用いる場合、規定されたエッジ不確定領域中にエッジが有るかぎり、バース幅が広くなったり狭くなったりしても、両側エッジの中央の位相は位相選択領域となり、その位相

で適切にデータをサンプリングすることができる。この様子を図5の(B)~(D)に示している。

【0067】図5の(B)は、パルス幅が規定値どおり(100%)の場合を示し、図の(C)はパルス幅が広い場合を示し、図の(D)はパルス位置が片寄った場合を示している。いずれの場合でも、両側のエッジが規定したエッジ不確定領域内にある限り、両側のエッジから略中央の位相(図5において楕円で囲んだ位相)は、位相選択領域内に存し、データ信号を確実にサンプリングすることができる。

【0068】次に、本発明のパターン検出によるサンプリング位相選択を図6を用いて説明する。この図では1タイムスロット分しか示していないが、実際はデリミタパターン長分(前述した例では9ビット分)となる。

【0069】図6の(A)に示すように、デリミタパターン(DL)の検出結果は、位相選択領域のサンプリング位相では“1”、エッジ不確定領域では“1”又は“0”(不確定)となり、前後1ビットの位相選択領域のサンプリング位相では“0”となる。

【0070】これらの各サンプリング位相のデリミタパターン検出結果を並べると、前述した両側エッジ検出方式において“010”のデータ入力パターンをサンプリングした場合と等価であり、デリミタパターン(DL)検出結果が変化する場合の位相は1ビットパルスの両側のエッジ部であり、その中央部のサンプリング位相は位相選択領域となる。

【0071】したがって、両側エッジ検出方式を用いた場合と同様に、規定されたエッジ不確定領域中にエッジが有るかぎり、デリミタパターン(DL)が連続して検出される位相の時間幅(パルス幅)が広くなったり、狭くなったりしても、両側エッジから中央の位相は位相選択領域となり、この位相でデータを確実にサンプリングすることができる。この様子を図6の(B)~(D)に示している。

【0072】図6の(B)は、デリミタパターン(DL)検出連続幅(パルス幅)が規定値どおり(100%)の場合を示し、図の(C)はデリミタパターン(DL)検出連続幅(パルス幅)が広い場合を示し、図の(D)はデリミタパターン(DL)検出連続箇所(パルス位置)が片寄った場合を示している。

【0073】いずれの場合でも、両側のエッジが規定エッジ不確定領域内にある限り、両側のエッジから略中央の位相(図6において楕円で囲んだ位相)は、位相選択領域内に存し、この位相でデータ信号を確実にサンプリングすることができる。

【0074】したがって、本発明の実施の形態のデリミタパターン検出によるサンプリング位相の選択方式は、両側エッジ検出方式と同等の条件の入力データ信号に対して、適正にサンプリングを行うことができる。即ち、本発明のパターン検出によるサンプリング位相選択方式

は、許容できる入力データ信号のパルス幅変動量は両側エッジ方式と同じでありながら、バースト同期用のプリアンプパターン(例えば、“010”のパターン)を必要としないということになる。

【0075】そのため、バーストデータ伝送用のヘッダ(プリアンプ)を短くすることができ、この分をユーザー情報等の伝送に割り当てることにより、伝送容量を増加することができる。

【0076】以上の実施の形態は、ビット誤り等の無い、理想的なデータ伝送を前提にしているが、実際のシステムでは、伝送路の状態や光モジュール内部の信号対雑音比劣化等により、ある程度の確率で入力データ信号のパルス幅変動が許容量を越えてしまい、最悪の場合はビット誤りが発生するため、その対応策を講じておく必要がある。

【0077】従来の両側エッジ検出方式は、1回の両側エッジ検出によりサンプリングの選択位相を決定するため、たまたまその両側エッジが歪んでいた場合には、言い方を変えと、そのデータ信号のエッジがエッジ不確定領域を越えてしまった場合には、図7に示すように誤った位相を選択する可能性がある。

【0078】図7の(A)は1タイムスロットに対する位相選択領域とエッジ不確定領域を示し、図の(B)はエッジがエッジ不確定領域を越えた場合の動作を示している。図の(B)に示すように、エッジE₂がエッジ不確定領域を越えてしまうと、エッジE₁とエッジE₂との中央に位置する位相(図において楕円で囲んだ位相)がエッジ不確定領域に入ってしまう、この中央の位相は適正なサンプリング位相とはならない。

【0079】このように1ビットパルスのエッジが、エッジ不確定領域を越えてしまった場合には、従来の両側エッジ検出方式では適正なサンプリング位相を選択することができない。これは片側エッジ検出方式についても同様のことがいえる。

【0080】これに対し、本発明のパターン検出方式は、各サンプリング位相毎のパターン検出部に、誤り訂正機能、即ち、誤りに対する保護機能を持たせることができ、この機能によりパルス幅変動量が或る確率で許容量を超えたとしても、パターン全体の検出結果に基づいて適切な位相でデータをサンプリングすることができる。

【0081】図8は、バーストデータ信号とサンプリング位相と誤り訂正機能を有するデリミタパターン検出結果の関係を示す図である。同図は1ビット誤りの訂正機能を有するデリミタパターン検出において、デリミタパターンの3ビット目(DL3)と4ビット目(DL4)の間のエッジが規定の変動量を越え、位相選択領域をサンプリングする#6~#8のサンプリング位相により、デリミタパターンビットDL4が誤ってサンプリングされた場合を示している。

【0082】この場合において、位相選択領域のサンプリング位相#9及び#10ではデリミタパターンが正常に検出され、又、位相選択領域のサンプリング位相#6～#8でも、デリミタパターン（9ビット）の他のビットから当該1ビットの誤り訂正を行うことにより、デリミタパターンの検出有りの検出結果を得ることとなる。

【0083】つまり、位相選択領域すべてのサンプリング位相においてデリミタパターン有りの検出結果（パターン検出フラグ“1”）が得られることになる。よって、歪みのない入力データ信号に対する処理と同様にデリミタパターン検出結果からサンプリングする選択位相を決定することできる。このように、本発明のパターン検出によるサンプリング位相の選択は、従来の両側エッジ検出方式よりも、ビット誤りに対する保護手段を備えることができる点でも優れている。

【0084】ただし、前述したような、バースト用ヘッダ（デリミタパターン）の歪み（ビット誤り）を保護する動作を行うためには、プリアンプル、デリミタ及びペイロード1ビット目（デリミタパターンの直後の1ビット）を含むビット領域に、規定数以下のビット誤りが発生しても、プリアンプル先頭からデリミタパターン長を切り出した場合に、デリミタの位置のみでデリミタパターンが検出されるよう、十分なハミング距離を持ったプリアンプル及びデリミタパターンを設定する必要がある。

【0085】以上説明したように、片側エッジ検出方式に対して、許容パルス幅変動量が大きい点で両側エッジ検出方式の方が優れており、本発明のパターン検出方式は両側エッジ検出方式よりも、前述のようにプリアンプルに“0”と“1”とが交番するデータパターンを必要とせず、更にビット誤りに対する保護機能を備える点で優れているため、本発明は、バーストヘッダの短いバースト信号に対してより確実にバースト同期を行うことができる。

【0086】又、多点エッジ検出方式は、データ信号の複数のビットのサンプリング結果から平均や多数決等により選択位相を決めることになるが、選択位相の信頼度を上げるためには、取り込むビット数を多くする必要があり、その分選択位相の決定を遅らせてしまうため、本発明のパターン検出の方が優れているといえる。

【0087】なお、本発明のパターン検出によるサンプリング位相の選択において、パターンの検出としてデリミタパターンの検出を行う例について説明したが、パターンはデリミタパターンに限らず、ATMセルヘッダのHECデータのように演算により求められるデータパターンに対して、同様に各サンプリング位相においてパターン検出を行うことができる。

【0088】以下、本発明の実施の形態のバースト同期回路におけるデータサンプリング部、パターン検出部、選択信号生成部及びセレクタの具体的構成について、図

9乃至図20を参照して説明する。図9及び図10はデータサンプリング部の構成を示す図である。図9は複数の遅延素子を用いてバーストデータ入力信号を遅延させ、遅延させたバーストデータ入力信号を1ビット即ち1タイムスロット幅のシステムクロックにより、サンプリングする構成を示している。

【0089】図9の（A）は、遅延素子として遅延量の異なる n 個のディレイライン（遅延線）DL1～DL n を並列に接続して、バーストデータ信号を入力し、各ディレイラインDL1～DL n からの出力を、システムクロック（CLK）によりフリップフロップFFに取り込んでサンプリングを行う構成を示している。

【0090】図9の（B）は、図の（A）に示した構成のディレイラインDL1～DL n を、バッファ増幅器9₁に置き換えたものである。各バッファ増幅器9₁は同一遅延量を有し、ディレイラインDL1に対して1個、ディレイラインDL2に対して2個、・・・ディレイラインDL n に対して n 個のバッファ増幅器9₁を縦続的に接続し、 n 通りの異なる遅延量を与えている。

【0091】図9の（C）は、同一の遅延量のディレイラインDLを n 個縦続的に接続してバーストデータ信号を入力し、各々のディレイラインDLの出力信号をフリップフロップFFに加え、該フリップフロップFFにシステムクロック（CLK）を与えてサンプリングを行う構成を示している。図9の（D）は、図の（C）に示した構成のディレイラインDLをバッファ増幅器9₁に置き換えて構成したものである。

【0092】図10の（A）は、システムクロック（CLK）を n 相クロック発生回路10₁により多相化して、バーストデータ入力信号をサンプリングする構成を示し、システムクロックの1周期の時間の n 分の1ずつ位相の異なるクロックを、 n 相クロック発生回路10₁から発生させ、この n 個の位相の異なるクロックをそれぞれバーストデータ入力信号が加えられる各フリップフロップFFに与えてサンプリングを行う構成である。

【0093】図10の（B）は、システムクロック（CLK）をPLO発振器10₂により n 倍の速度に逡倍し、該逡倍したクロックによりバーストデータ入力信号をサンプリングする構成を示し、バーストデータ信号が入力される縦続的に接続した各フリップフロップFF10₁に、該PLO発振器10₂からの n 倍の速度のクロックを与えて、該縦続的に接続した各フリップフロップFF10₁から位相の異なる（システムクロックCLKの1周期の時間の n 分の1ずつ位相の異なる）バーストデータ信号を出力させ、該縦続的に接続した各フリップフロップFF10₁の出力信号をそれぞれフリップフロップFF10₂に加え、そのフリップフロップFF10₂にシステムクロック（CLK）を与えることにより、サンプリングを行う構成である。

【0094】図11は、本発明の実施の形態のデリミタ

パターンを検出するバースト同期回路の構成を示す図である。同図において、11₁はデータサンプリング部、11₂はデリミタパターン検出部、11₃は選択信号生成部、11₄はセクタである。

【0095】データサンプリング部11₁は、図9又は図10に示した構成により、入力データ信号をサンプリング位相の異なるサンプリングデータとして出力する。デリミタパターン検出部11₂は、データサンプリング部11₁から出力されるサンプリング位相の異なるサンプリングデータ毎に、デリミタパターン長分のデータを切り出し、デリミタパターンの検出結果（パターン検出フラグ）を出力する。

【0096】選択信号生成部11₃は、各位相毎のデリミタパターン検出結果の隣り合ったもの同士を比較照合し、変化のあった位相から1パルスの両側のエッジ部の位相を認識し、それらの位相から略中央に位置する位相を選択する信号を生成し、セクタ11₄に出力する。

【0097】セクタ11₄は、選択信号生成部11₃から出力される信号により、データサンプリング部11₁から出力されるサンプリング位相の異なるサンプリングデータのうちから、最適な位相のサンプリングデータを選択して出力する。このようにして、バースト同期後のデータ信号が出力される。

【0098】図12乃至図15は本発明の実施の形態のデリミタパターン検出部の構成を示す図である。図12はROM（リードオンリメモリ）を用いたデリミタパターン検出部とその記憶テーブルの構成を示し、サンプリングデータをシステムクロックにより9ビットシフトレジスタ12₁に格納し、9ビットシフトレジスタ12₁の出力信号をROM12₂のアドレス信号（DL1～DL9）として与え、ROM12₂に記憶されたデータをパターン検出フラグとして出力する。

【0099】ROM12₂の記憶テーブル12₃には、デリミタパターン、例えば“011011000”と一致するアドレス（DL1～DL9）にのみ、パターン検出フラグ“1”を設定し、その他のアドレスには“0”を設定する。したがって、デリミタパターンをシステムクロック単位で照合し、デリミタパターンがアドレス（DL1～DL9）に入力されたときのみROM12₂からパターン検出フラグ“1”が出力されることとなる。

【0100】図13はROMを用いた誤りを含むデリミタパターンの検出部とその記憶テーブルの構成を示し、図12に示した構成と同様に、サンプリングデータをシステムクロックにより9ビットシフトレジスタ13₁に格納し、9ビットシフトレジスタ13₁の出力信号をROM13₂のアドレス信号（DL1～DL9）として与え、ROM13₂に記憶されたデータをパターン検出フラグとして出力する。

【0101】ROM13₂の記憶テーブル13₃には、

デリミタパターン、例えば“011011000”及び該デリミタパターンの各ビットと1ビットのみ異なるパターンと一致するアドレス（DL1～DL9）にのみ、パターン検出フラグ“1”を設定し、その他のアドレスには“0”を設定する。

【0102】したがって、1ビット以下の誤りを含むデリミタパターンがアドレス（DL1～DL9）に入力されたときのみ、ROM13₂からパターン検出フラグ“1”が出力されることとなる。

【0103】図14は論理回路を用いてデリミタパターンを検出する構成を示し、サンプリングデータをシステムクロックにより9ビットシフトレジスタ14₁に格納し、9ビットシフトレジスタ14₁の出力信号を論理積回路14₂の入力信号（DL1～DL9）として与える。論理積回路14₂の入力端子は、デリミタパターンの“0”が入力される位置を反転入力端子とすることにより、論理積回路14₂はデリミタパターンと一致するサンプリングデータが入力されたときのみ、パターン検出フラグ“1”を出力する。

【0104】図15は、論理回路を用いて誤りを含むデリミタパターンを検出する構成を示し、サンプリングデータをシステムクロックにより9ビットシフトレジスタ15₁に格納し、9ビットシフトレジスタ15₁の出力信号を論理積回路15₂₁～15₂₉の入力信号（DL1～DL9）として与える。

【0105】各論理積回路15₂₁～15₂₉の入力端子は、それぞれデリミタパターン及び該デリミタパターンの各ビットと1ビット異なるパターンの“0”が入力される位置を反転入力端子とし、各論理積回路15₂₁～15₂₉の出力を論理和回路15₃に入力することにより、論理和回路15₃から、デリミタパターン又は該デリミタパターンの各ビットと1ビット異なるパターンと一致するサンプリングデータが入力されたときのみ、パターン検出フラグ“1”が出力される。

【0106】図16は本発明の実施の形態のATMセルヘッダのHECのデータパターンを検出するバースト同期回路の構成を示す図である。同図において、11₁はデータサンプリング部、16はHEC演算部、11₃は選択信号生成部、11₄はセクタである。

【0107】図16に示した構成は、図11に示した構成のデリミタパターン検出部11₂をHEC演算部16に置き換えたものである。前述したようにATMセルのヘッダにはHEC（誤り制御）のフィールドがあり、このフィールドには、ATMセルのヘッダ部の誤り制御のためのパターン（HECパターン）が格納される。

【0108】ATMセルをバースト伝送するシステムにおいては、前述のデリミタパターンの代わりにこのHECパターンを用いることにより、同様にバースト同期を行うことができる。HECパターンは演算によって求められ、HEC演算部16はHECパターンを検出した場

合に、パターン検出フラグ“1”を出力する。

【0109】図17は、本発明の実施の形態のROMを用いた選択信号生成部とその記憶テーブルの構成を示す図である。選択信号生成部はROM17₁により構成し、そのアドレス信号としてパターン検出部から出力される16サンプリング位相分のパターン検出フラグPF#01~PF#16を入力する。

【0110】選択信号生成部のROM17₁の記憶テーブル17₂は、16サンプリング位相分のパターン検出フラグのデータ情報をアドレスとして、それに対する選択位相情報をROMデータとして格納している。図に示した記憶テーブル17₂は、7ビット、8ビット及び9ビットの連続したパターン検出フラグ“1”がROMのアドレス信号として入力されたときの、それぞれ選択すべき最適な（略中央の位置の）サンプリング位相の例をROMデータに示している。

【0111】この選択信号生成部から出力される選択位相は、セレクトタに入力され、セレクトタはこの選択位相に基づいて、異なるサンプリング位相のサンプリングデータの中から、最適な位相のサンプリングデータを選択する。

【0112】図18は、本発明の実施の形態の論理回路を用いた選択信号生成部とセレクトタの構成を示す図である。選択信号生成部は、16サンプリング位相分のパターン検出フラグPF#01~PF#16が入力される複数の論理積回路18₁により構成され、各論理積回路18₁は、パターン検出フラグPF#01~PF#16のデータ対応に反転入力を含む入力端子を有し、所定のパターン検出フラグのデータが入力されると、その出力端子に“1”を出力する。

【0113】各論理積回路18₁の出力信号はセレクトタ18₂に入力され、セレクトタ18₂は各論理積回路18₁の出力信号をもとに、論理積回路及び論理和回路を組み合わせることにより、16サンプリング位相分のパターン検出フラグのデータ情報に対応した論理積回路18₁の出力信号により、異なるサンプリング位相のサンプリングデータの中から、最適な位相のサンプリングデータを選択して出力する。

【0114】図19は本発明の実施の形態のデリミタ同期を同時に行うバースト同期回路の構成を示す図である。この実施の形態のバースト同期回路は、図11に示したバースト同期回路のデリミタ検出部11₁を、デリミタ同期回路21₁に置き換えたものである。

【0115】図21に示したように、一般のバースト信号受信部は、光モジュール21₁により光信号を電気信号に変え、バースト同期回路21₁によりその電気信号のビット位相を合わせ、その後段のデリミタ同期回路21₁により、バーストデータのバイト単位の同期（フレーム同期）を行う。又、一般にデリミタ同期回路は、パターン検出機能を持ち、パターン同期を行う。

【0116】本発明のバースト同期回路は、各サンプリング位相毎にパターン検出を行うが、このパターン検出をデリミタ同期回路21₁のパターン検出機能により行うことで、ビット単位のバースト同期回路とバイト単位のデリミタ同期回路を一体化することが可能となる。

【0117】なお、これまで述べた本発明のバースト同期回路の実施の形態としては、光通信システムの高速度（150Mbps等）に追従するために、ハードウェアの論理回路構成による例を示したが、高速性を要求されないシステムの場合には、データサンプリング部、パターン検出部、選択信号生成部等の各機能を、CPU及びメモリ又はDSP（Digital Signal Processor）を用い、プログラム制御により実現することもできる。

【0118】又、上記の各実施の形態では、光加入者システムへの適用例を述べたが、本発明によるバースト同期回路は、他のメタリック伝送路や無線回線を利用した各種通信システム（通常の端局間1対1通信システム、移動通信システム等）のバースト同期回路にも適用することができる。

【0119】又、本発明の実施の形態として本発明の好適なる複数の実施形態を述べたが、本発明の技術思想の範囲内で各機能部の構成、制御及びそれらの組み合わせについてさまざまな変更が行えることは言うまでもない。

【0120】

【発明の効果】以上説明したように、本発明によれば、所定のデータパターン信号を、複数の異なるサンプリング位相によりサンプリングし、該所定のデータパターンが検出されたサンプリング位相をもとに、最適位相のサンプリングデータを選択することにより、ビット単位のバースト同期用の交番パターンを用いることなく、両側エッジ検出方式と同程度の許容パルス幅変動量を有するバースト同期回路を構成することができる。そのため、バーストデータ伝送用のヘッダ（交番パターンを含んでいたプリアンプル）を短くし、その分ユーザー情報等の伝送容量を増加することができる。

【0121】又、所定のデータパターンの検出に誤り訂正機能を設けることにより、ビット誤りが発生しても最適位相のサンプリングデータを短時間で選択することができ、バースト同期回路の信頼性を向上させることができる。

【図面の簡単な説明】

【図1】本発明のバースト同期回路の基本構成を示す図である。

【図2】バーストデータ信号とサンプリング位相とデリミタパターン検出結果の関係を示す図である。

【図3】バーストデータ信号とサンプリング位相とデリミタパターン検出結果の関係を示す図である。

【図4】バーストデータ信号とサンプリング位相とデリ

ミタパターン検出結果の関係を示す図である。

【図5】従来の両側エッジ検出方式の説明図である。

【図6】本発明のパターン検出によるサンプリング位相選択の説明図である。

【図7】両側エッジ検出において、エッジがエッジ不確定領域を越えた場合の説明図である。

【図8】バーストデータ信号とサンプリング位相と誤り訂正機能を有するデリミタパターン検出結果の関係を示す図である。

【図9】本発明のデータサンプリング部の構成を示す図である。

【図10】本発明のデータサンプリング部の構成を示す図である。

【図11】本発明のデリミタパターンを検出するバースト同期回路の構成を示す図である。

【図12】本発明のROMを用いたデリミタパターン検出部とその記憶テーブルの構成を示す図である。

【図13】本発明のROMを用いた誤りを含むデリミタパターンの検出部とその記憶テーブルの構成を示す図である。

【図14】本発明の論理回路を用いてデリミタパターンを検出する構成を示す図である。

【図15】本発明の論理回路を用いて誤りを含むデリミタパターンを検出する構成を示す図である。

20

- 1₁ データサンプリング部
- 1₂ パターン検出部
- 1₃ 選択信号生成部
- 1₄ セレクタ

*

*【図16】本発明のATMセルヘッダのHECパターンを検出するバースト同期回路の構成を示す図である。

【図17】本発明のROMを用いた選択信号生成部とその記憶テーブルの構成を示す図である。

【図18】本発明の論理回路を用いた選択信号生成部とセレクタの構成を示す図である。

【図19】本発明のデリミタ同期を同時に行うバースト同期回路の構成を示す図である。

【図20】データ信号がバースト状に伝送される一例の光加入者伝送システムを示す図である。

【図21】主局20₁のバースト信号受信部の構成を示す図である。

【図22】光モジュールの出力信号(バースト同期回路の入力信号)の波形を示す図である。

【図23】従来のバースト同期回路の構成を示す図である。

【図24】両側エッジ検出により最適位相のサンプリングデータを選択する動作の説明図である。

【符号の説明】

- 1₁ データサンプリング部
- 1₂ パターン検出部
- 1₃ 選択信号生成部
- 1₄ セレクタ

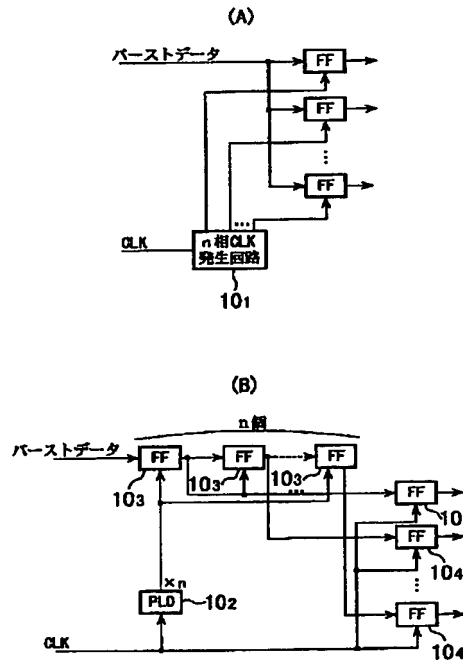
【図1】

本発明のバースト同期回路の基本構成を示す図



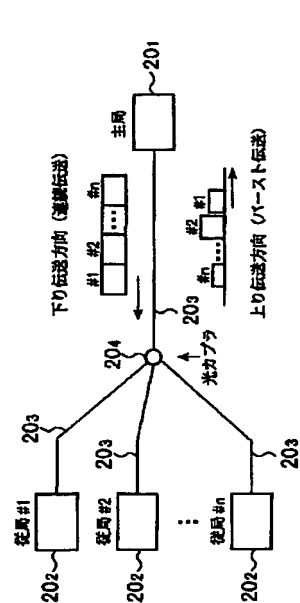
【図10】

本発明のデータサンプリング部の構成を示す図



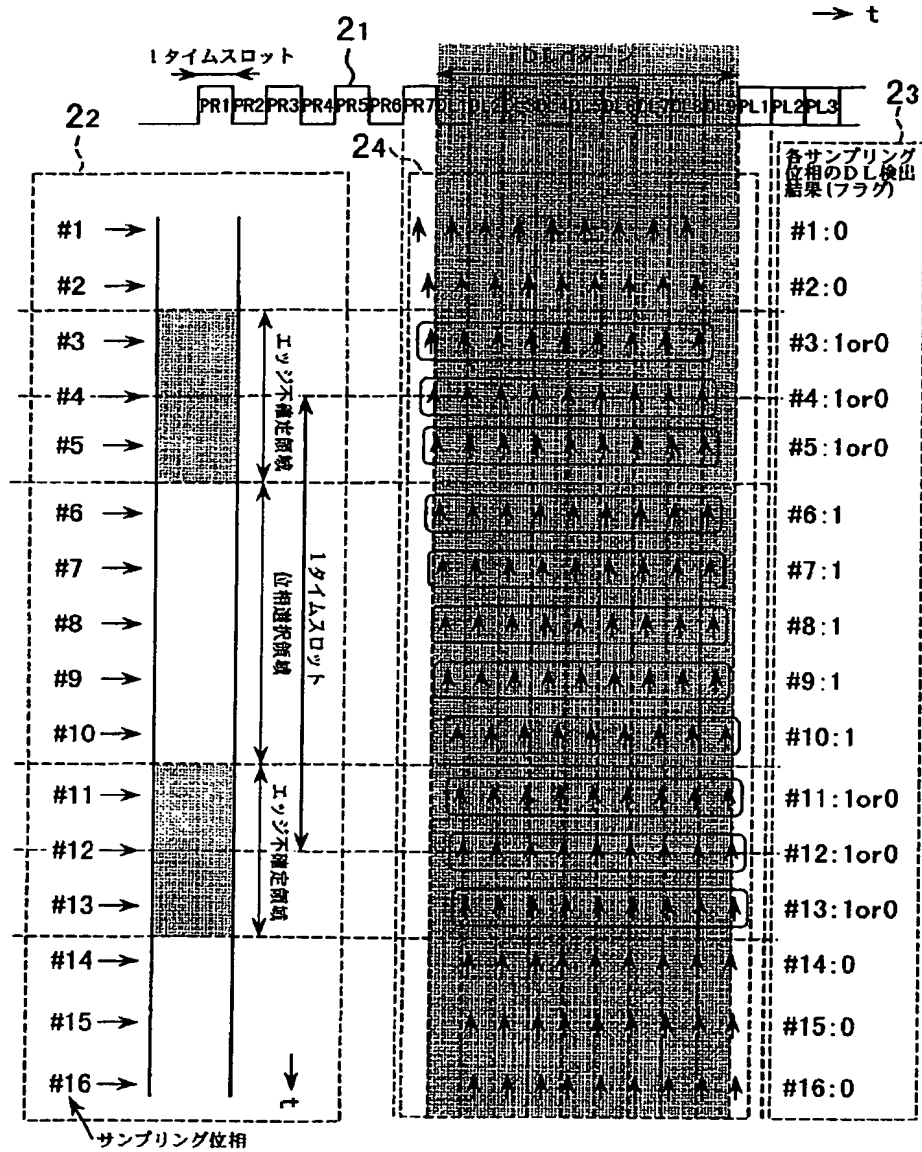
【図20】

データ信号がバースト状に伝送される一例の光加入者伝送システムを示す図



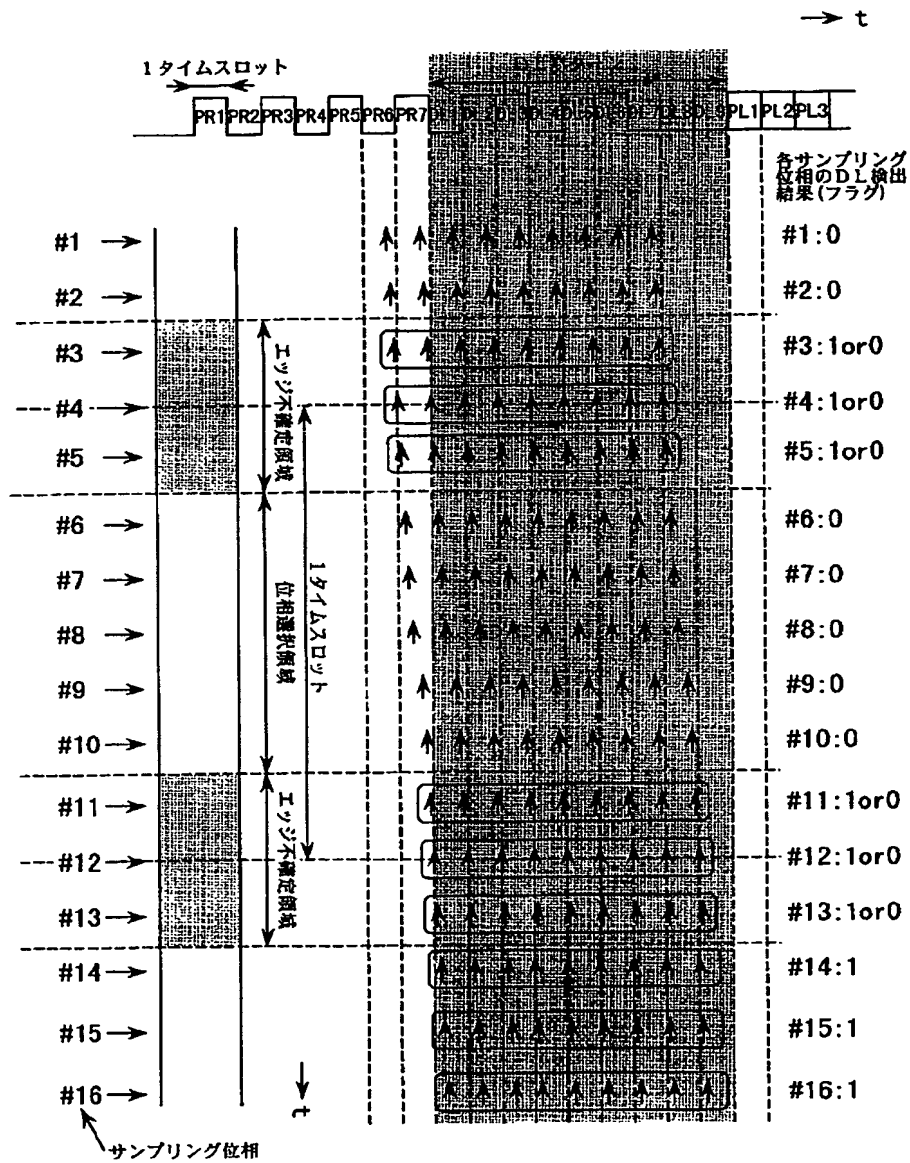
【図2】

バーストデータ信号とサンプリング位相とデリミタパターン検出結果の
関係を示す図



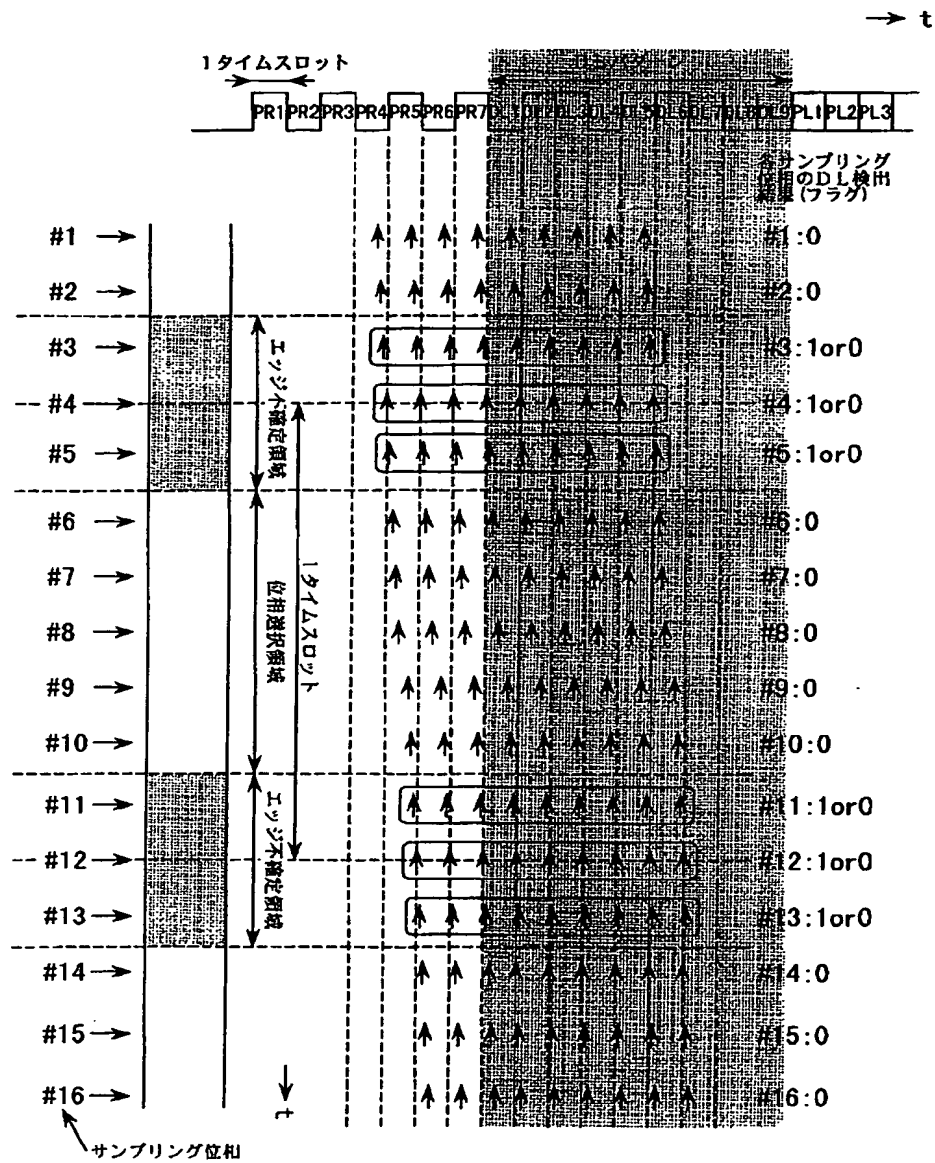
【図3】

バーストデータ信号とサンプリング位相とデリミタパターン検出結果の
関係を示す図



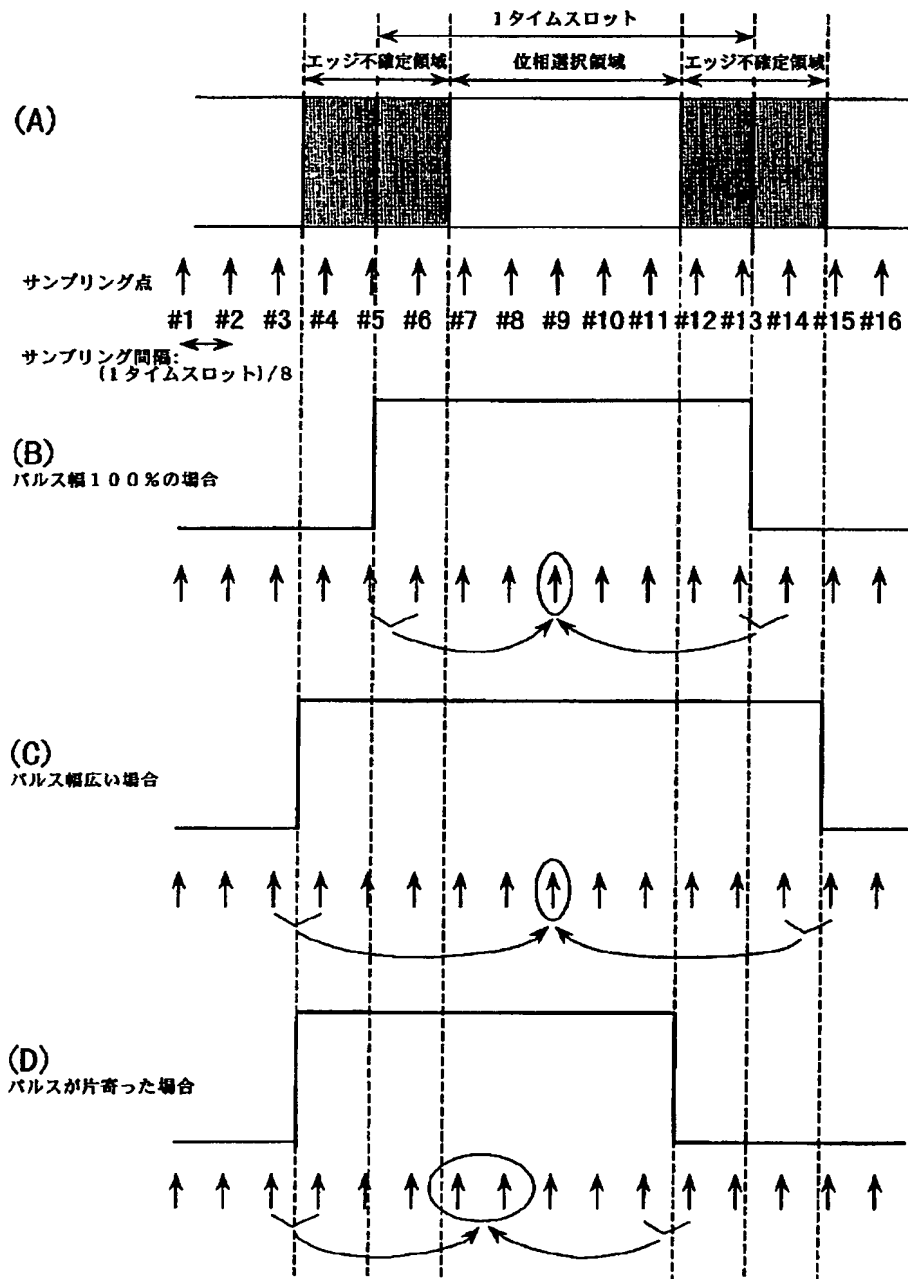
【図4】

バーストデータ信号とサンプリング位相とデリミタパターン検出結果の
関係を示す図



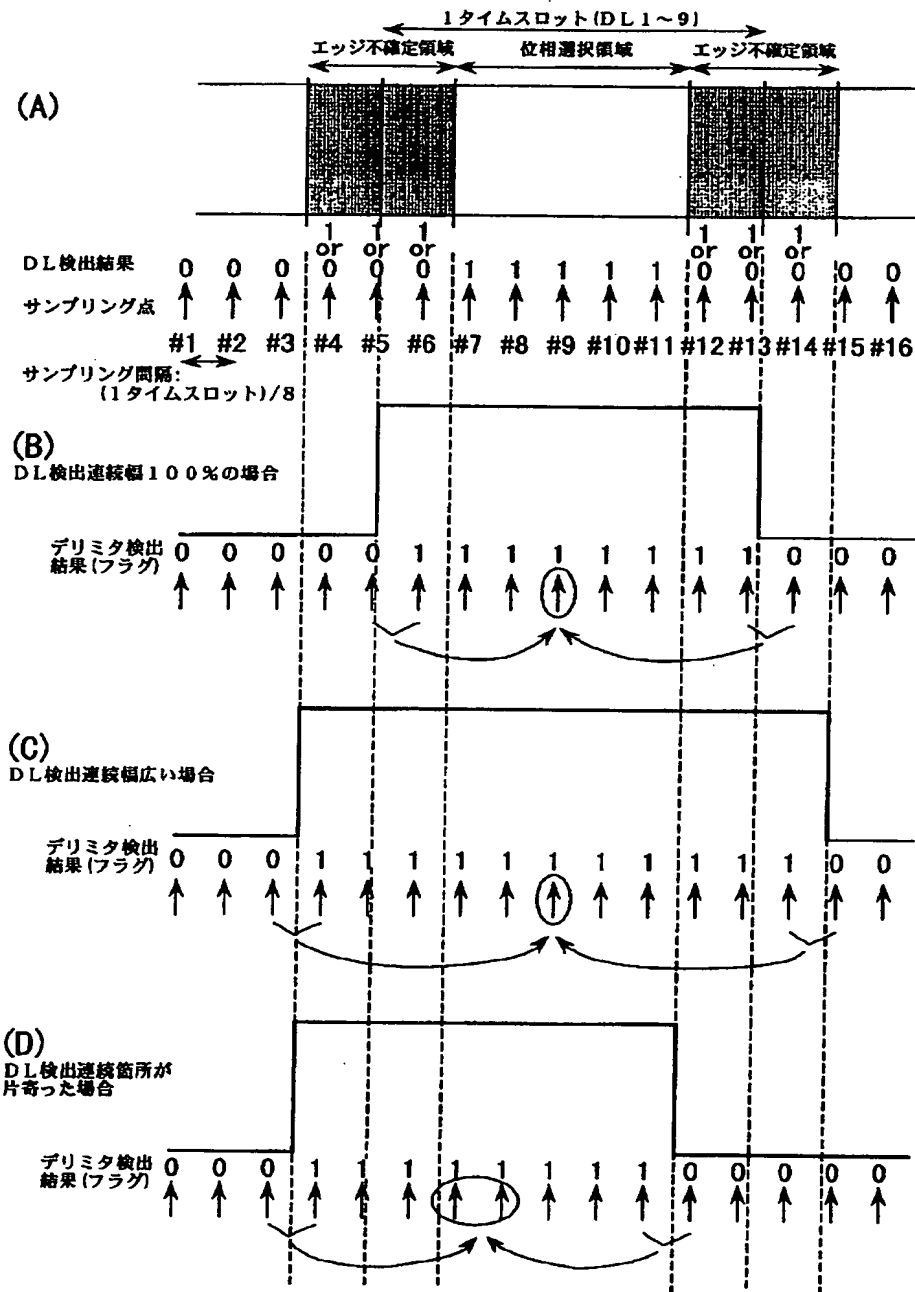
【図5】

従来の両側エッジ検出方式の説明図



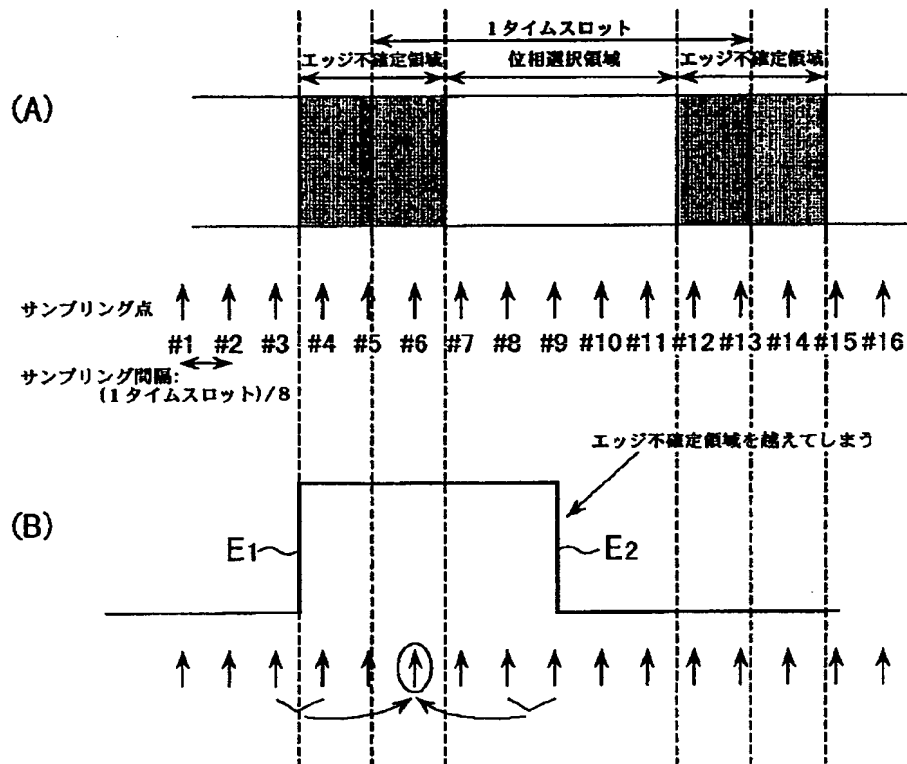
【図6】

本発明のパターン検出によるサンプリング位相選択の説明図



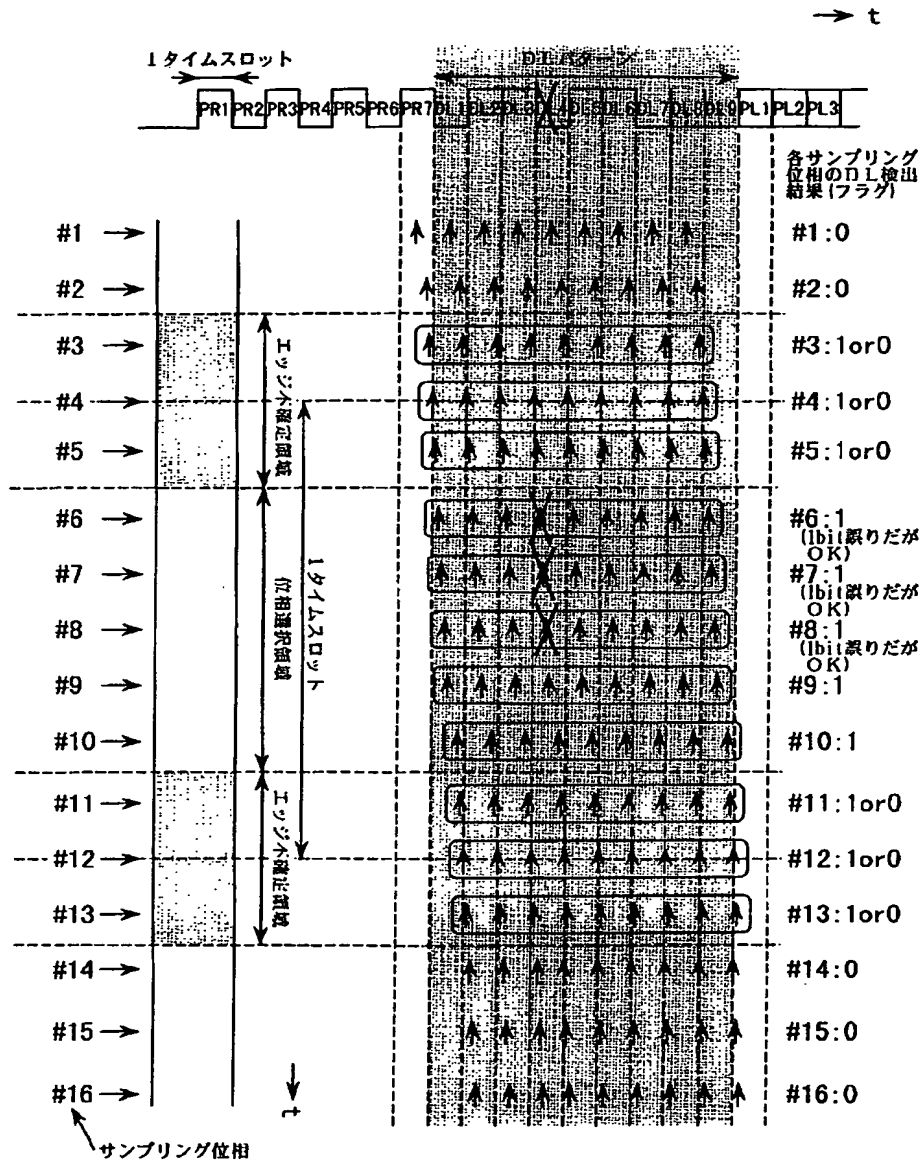
【図7】

両側エッジ検出において、エッジがエッジ不確定領域を越えた場合の
説明図



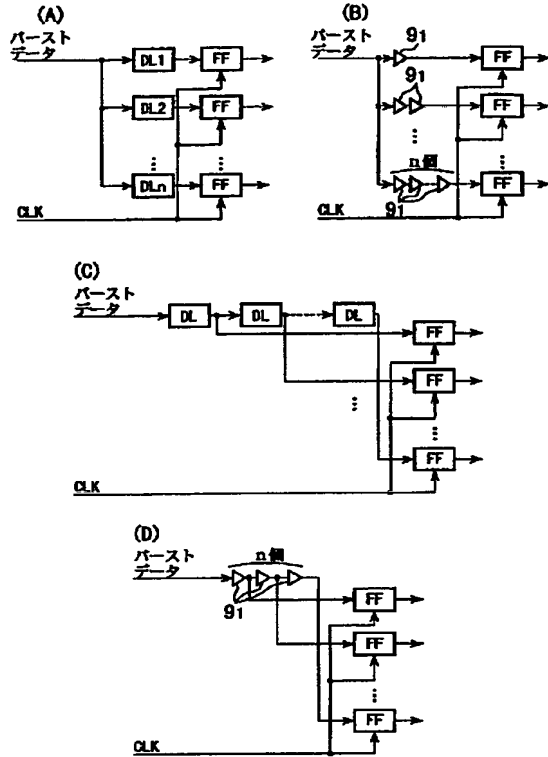
【図8】

バーストデータ信号とサンプリング位相と誤り訂正機能を有する
デリミタパターン検出結果の関係を示す図



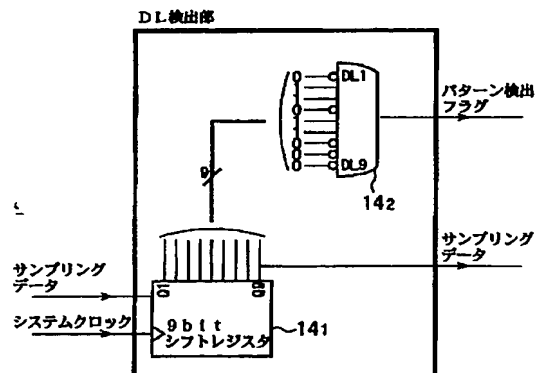
【図9】

本発明のデータサンプリング部の構成を示す図



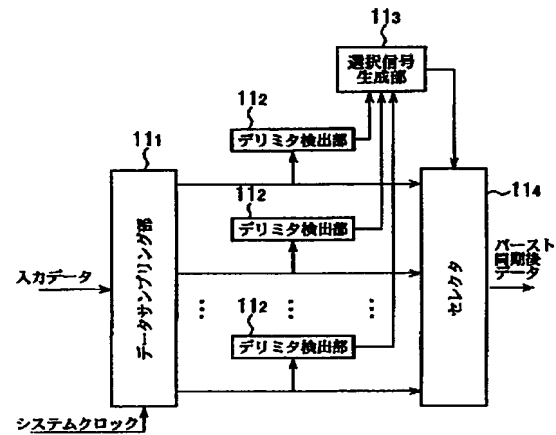
【図14】

本発明の論理回路を用いてデリミタパターンを検出する構成を示す図



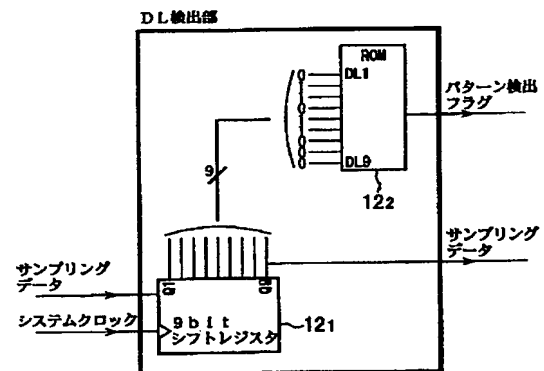
【図11】

本発明のデリミタパターンを検出するパースト同期回路の構成を示す図



【図12】

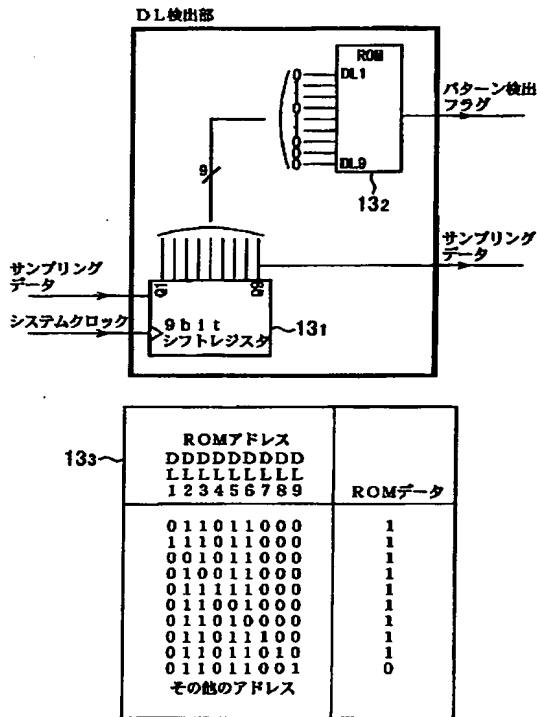
本発明のROMを用いたデリミタパターン検出部とその記憶テーブルの構成を示す図



ROMアドレス DDDDDDDD LLLLLLLL 123456789	ROMデータ 1 0
----------------------------------------------	------------------

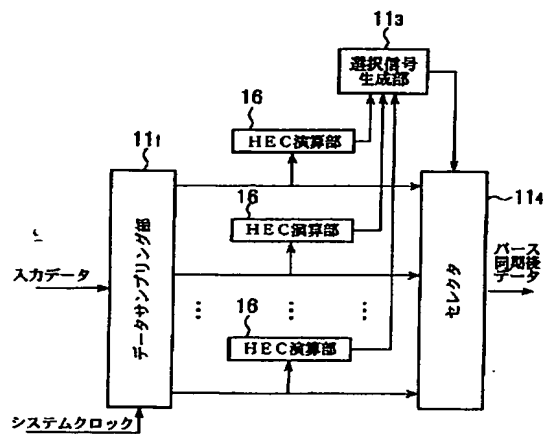
【図13】

本発明のROMを用いた誤りを含むデリミタパターンの検出部とその記憶テーブルの構成を示す図



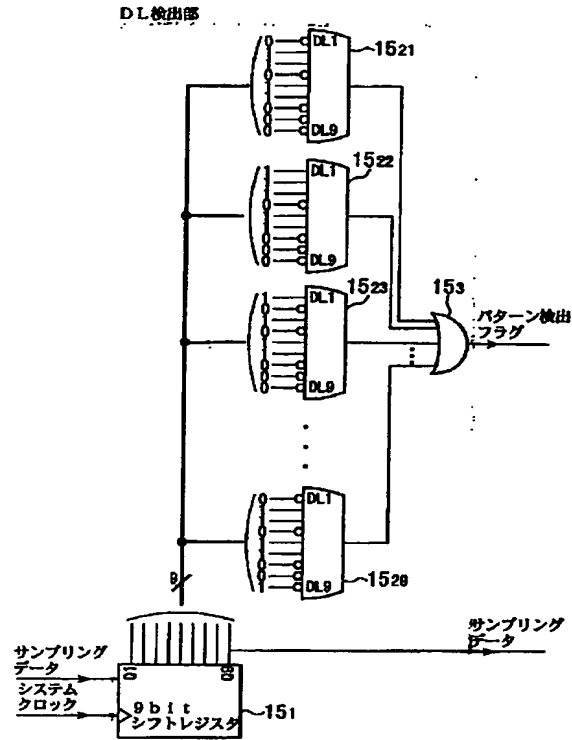
【図16】

本発明のATMセルヘッダのHECパターンを検出するバースト同期回路の構成を示す図



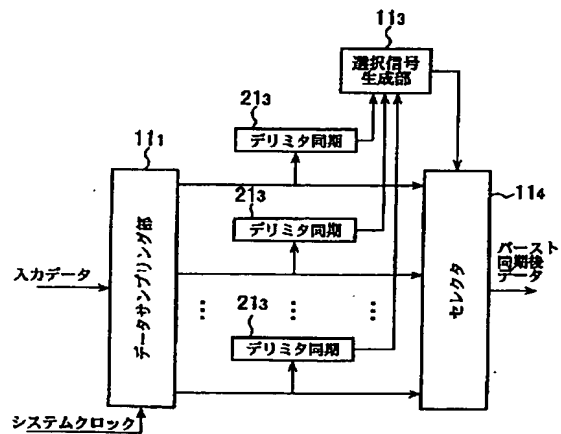
【図15】

本発明の論理回路を用いて誤りを含むデリミタパターンを検出する構成を示す図

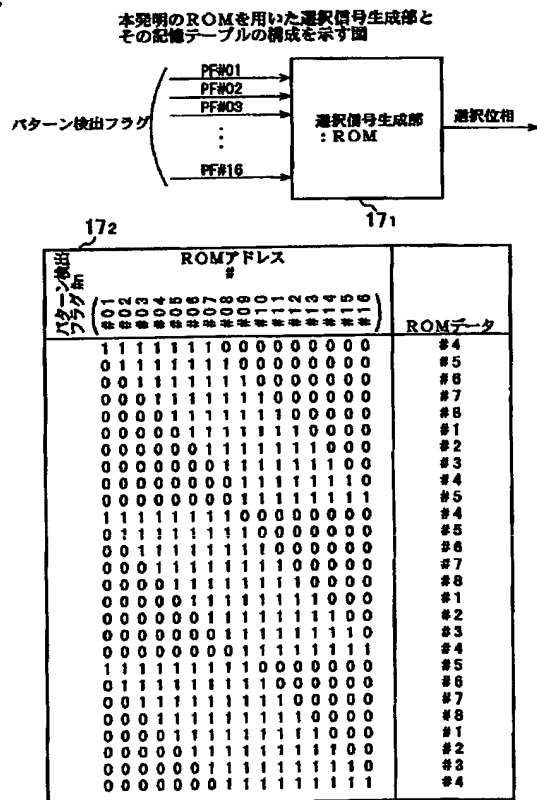


【図19】

本発明のデリミタ同期を同時に行うバースト同期回路の構成を示す図

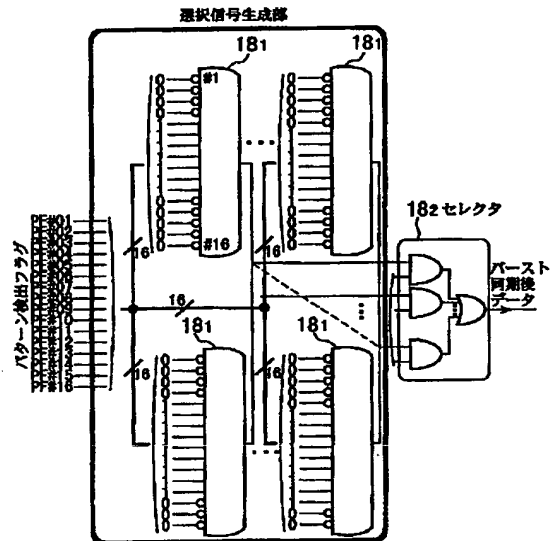


【図17】



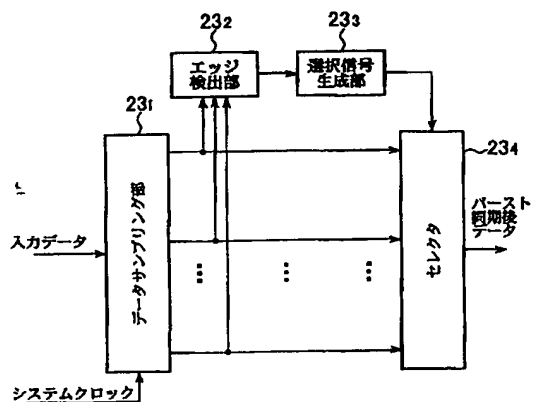
【図18】

本発明の論理回路を用いた選択信号生成部とセレクトの構成を示す図



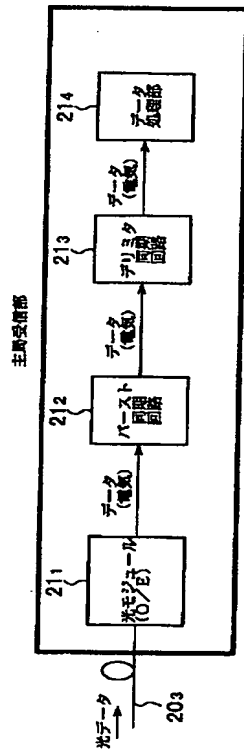
【図23】

従来のパースト同期回路の構成を示す図



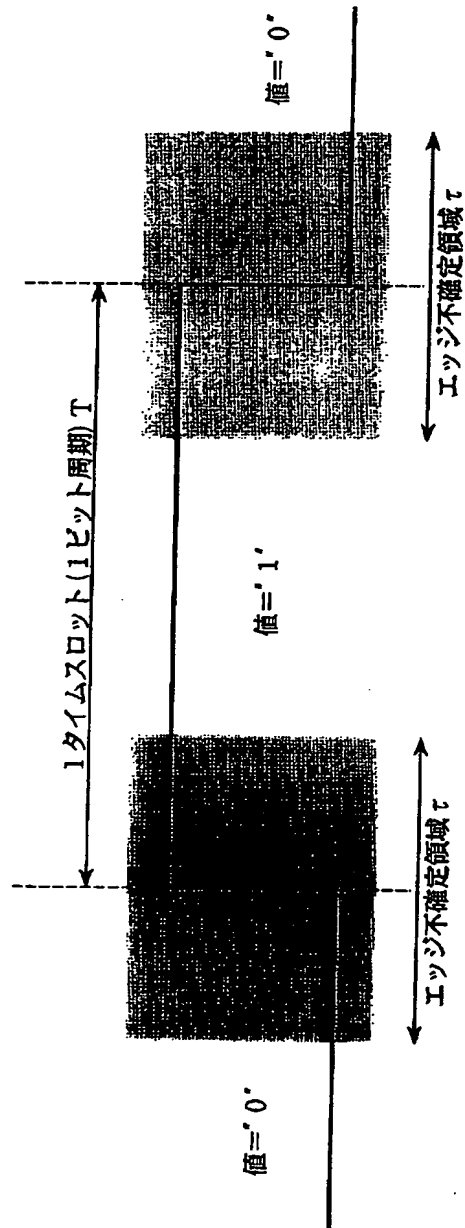
【図21】

主局受信部の構成を示す図



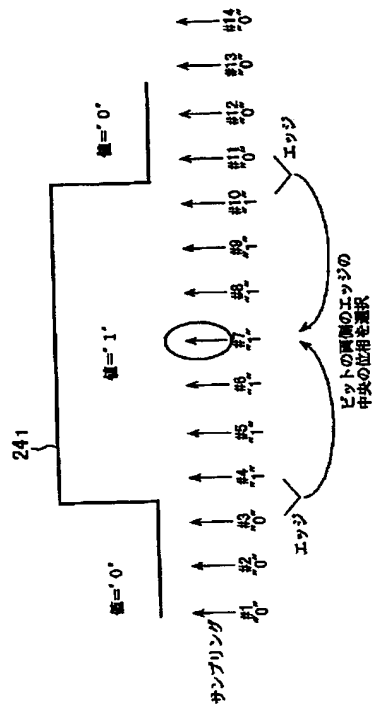
【図22】

光モジュールの出力信号 (パースト同期回路の入力信号) の波形を示す図



【図24】

両側エッジ検出により最速位相のサンプリングデータを選択する
動作の説明図



フロントページの続き

Fターム(参考) 5K029 AA11 CC04 DD13 EE05 EE06
JJ01 KK22 LL14
5K047 AA02 BB02 BB12 CC02 HH53
HH54 MM24 MM38

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)